

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-025046

(43)Date of publication of application : 28.01.1992

(51)Int.Cl.

H01L 21/82

H01Q 9/04

H04B 1/40

(21)Application number : 02-126160

(71)Applicant : NEC CORP

(22)Date of filing : 16.05.1990

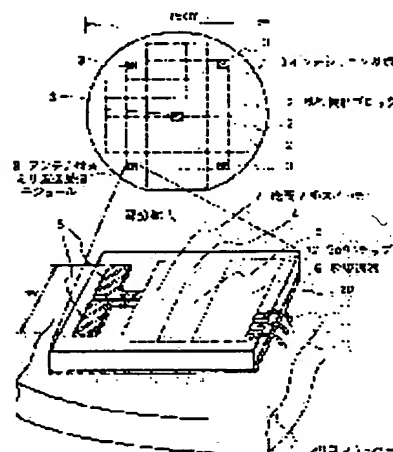
(72)Inventor : HONJO KAZUHIKO

## (54) WAFER SCALE INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: To radically shorten a delay in signal transmission between distant blocks within a wafer scale integrated circuit by installing a plurality of microwave, millimeter wave sending/receiving modules with antennas and a plurality of modulators/demodulators on a large diameter semiconductor wafer.

CONSTITUTION: On a  $\Phi 6''$  (about 15cm) silicon wafer 1, forty four 1.5cm  $\times$  1.5cm square unit function blocks 2 are installed, and at 4 corners on the silicon wafer 1 and at the center thereon a total of 5 millimeter wave sending/receiving modules 3 with antennas are installed. This module 3 is installed on a semi-insulating GaAs chip 12 having a ground metallic plate 20 at the back thereof and has one modulator/demodulator 6, high power output amplifier 5, low noise amplifier 4, sending/receiving changeover switch 7, and microstrip dipole antenna 8. The distant blocks thus installed in a wafer scale integrated circuit are connected by means of radio communication, thereby eliminating a signal delay by charging/discharging of the circuit and by dielectrics.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-25046

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月28日

H 01 L 21/82  
H 01 Q 9/04  
H 04 B 1/40

7046-5J  
7189-5K  
8225-4M

H 01 L 21/82

T

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 ウェハースケール集積回路

⑯ 特 願 平2-126160

⑰ 出 願 平2(1990)5月16日

⑱ 発 明 者 本 城 和 彦 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 ウェハースケール集積回路

特許請求の範囲

大口径半導体ウェハースケール全体が1つの集積回路として機能するウェハースケール集積回路において、ウェハースケール内の距離の離れたブロック間の信号の授受を空間伝搬するマイクロ波ミリ波を介して行うために、アンテナ付きマイクロ波ミリ波送受信モジュールおよび変復調器が該大口径半導体ウェハースケール上に複数設けられていることを特徴とするウェハースケール集積回路。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特にウェハースケール内の信号の授受に無線回線を用いたウェハースケール集積回路に関する。

(従来の技術)

近年シリコンULSIの進展は著しく1cm角程度のチップに64M~256MbitのDRAMを形成するばかりでなく、直径6インチ~8インチのシリコンウェハースケールの全面に各種回路を形成し、1枚のウェハースケールのシステム(例えばスーパーコンピュータあるいは超大規模メモリーを構成するといったウェハースケール集積回路の研究開発も活発に行なわれている。このような例はエレクトロニックデザイン誌1989年10月26日号の51ページから54ページにわたって「Wafer-Scale Integration Arrives IN "Disk" Form」と題して紹介されている。

第3図は従来例のウェハースケール集積回路の概略を示す図である。同図において直径15cm(6インチ)のシリコンウェハースケール上に1辺が1.5cmの単位機能ブロックが44個形成されている。各ブロック間は二酸化ケイ素、窒化ケイ素などの比誘電率 $\epsilon_r=4$ 程度の媒質上または媒質中に設けられた金属配線によって接続されている。例えば図中A点からC点までの配線長は直交する配線のみを使った場合13.5cmとなる。

(発明が解決しようとする課題)

第3図の従来例においてA点からC点まで信号が伝わる時間 $T_a$ を計算すると、

$$T_a = T_M + T_c \dots\dots\dots (1)$$

となる。ここで $T_M$ はメディア遅延で媒質中を信号が伝搬する時間、 $T_c$ は配線容量を充電する時間である。まず $T_M$ を見積ると、 $c_r=4$ の中の電磁波の伝搬速度 $v_y$ は

$$v_y = \frac{C_0}{\sqrt{c_r}} \dots\dots\dots (2)$$

であるから( $C_0$ は真空中の光の速さ)、 $v_y=1.5 \times 10^{10}$ cm/secとなる。したがって13.5cmを伝搬するのに要する時間は900psecとなる。さらに配線容量を1cm当り1pFし、論理振幅 $V_L=5V$ 、駆動電流 $I_L=1mA$ とすると $Q=I_L T_C=CV_L$ より $T_C=68nsec$ となり $T_a=69nsec$ となる。

このように従来の回路では6インチウェハー上で対角線上の反対側に信号を伝えるのに69nsecもかかっていた。現在スーパーコンピュータでは数nsecクラスのクロックが用いられているので、69nsecの

(3)

$T_a' = T_M' + T_{MODEM} \dots\dots\dots (3)$   
と表すことができる。(3)式において $T_M'$ は電磁波が空間を伝搬するのに要する時間、 $T_{MODEM}$ は信号の変復調に要する時間である。

まず $T_M'$ を求めると、電磁波は直進するので第1図に示されるように点A-C間の距離は9.6cmとなる。この9.6cmを伝搬するのに要する時間 $T_M'$ は、空気の $c_r=1$ であるから320psecである。また変復調に要する時間は高々2nsecであるので $T_a'$ は2.5nsec以下となり、したがって $T_a$ に比べて1/28に飛躍的に短縮できる。

(実施例)

第2図は本発明の一実施例のウェハースケール集積回路を示す図で上はウェハーの平面図、下は一部分を拡大した斜視図である。直径6インチ(約15cm)のシリコン基板1上に44個の1.5cm角の単位機能ブロック2が設けられている。このシリコン基板1の4隅および中央に合わせて5個のアンテナ付ミリ波送受信モジュール3が設けられている。このモジュール3は裏面に接地金属20を有する半絶縁性

(5)

遅延はシステム設計上致命的な障害となっていた。

本発明の目的は前記欠点を除去しウェハースケール集積回路における信号遅延を飛躍的に短縮するウェハースケール集積回路を提供することにある。

(課題を解決するための手段)

上記目的を達成するために本発明のウェハースケール集積回路は大口径半導体ウェハー全体が1つの集積回路として機能するウェハースケール集積回路において、ウェハー内の距離の離れたブロック間の信号の授受を空間伝搬するマイクロ波ミリ波を介して行うために、アンテナ付きマイクロ波ミリ波送受信モジュールおよび変復調器が、該大口径半導体ウェハー上に複数設けられていることを特徴としている。

(作用)

このような本発明においてはウェハー内の距離の離れたブロック間の信号の授受に電磁波を使っている。この場合の遅延を $T_a'$ とすると

(4)

GaAs基板(チップ)12上に構成され、変復調器6、高出力増幅器5、低雑音増幅器4、送受切換スイッチ7およびマイクロストリップダイポールアンテナ8を備えている。50GHzの周波数を用いた場合、 $c_r=12.7$ のGaAs上の2分の1波長は約1mmとなり、従ってアンテナの幅Wも約1mmとなる。このモジュール3はシリコン基板1に接着され、シリコン基板上の回路とはボンディング線11によって電気的に接続されている。

(発明の効果)

このような本発明の実施例においてはウェハースケール集積回路の距離の離れたブロック間をミリ波を用いた無線通信で結ぶため、配線の充放電時間による遅延および誘電体による遅延を除去することができる。ミリ波モジュールの送信および受信に係る遅延はモジュールの寸法が高々2mm角以内であること、さらに化合物半導体を用いることにより信号処理時間を短くできることなどにより、各々1nsec以内である。また電磁波が $c_r=1$ の空中を伝達することならびに直進することから、メ

(6)

ディア遅延も約1/3に減ずることができる。このためウェハ内の最も遠いブロック間の信号伝搬遅延は69nsecから2.5nsecへと飛躍的に改善される。

各モジュール間での混信を避けるために、拡散スペクトラム変調方式や、その他のマッチドフィルタ方式、アダプティブアンテナ方式を採用することも可能である。また本実施例においてはGaAsチップをシリコン基板にはりつけているが、有機金属気相成長法(MOVPE)によりSi基板に直接GaAsを選択結晶成長することももちろん可能でありコプレーナ回路を用いれば送受信モジュールを含めて完全モノリシック化することも可能である。さらに本実施例では6インチのシリコン基板を用いているが、基板の大きさは6インチ限らず、さらに基板の種類もGaAs、InP、GaP等の化合物半導体を用いても良いことはいうまでもない。

図面の簡単な説明

第1図は本発明の原理を説明する図、第2図は本発明の一実施例を説明する図、第3図は従来例を示す図である。

図において

- 1…シリコンウェハ、2…単位機能ブロック、
- 3…アンテナ付きミリ波送受信モジュール、
- 4…低雑音増幅器、5…高出力増幅器、
- 6…変復調器、7…送受切替スイッチ、
- 8…マイクロストリップダイポールアンテナ、
- 11…ボンディング線、12…GaAsチップ、
- 20…接地金属

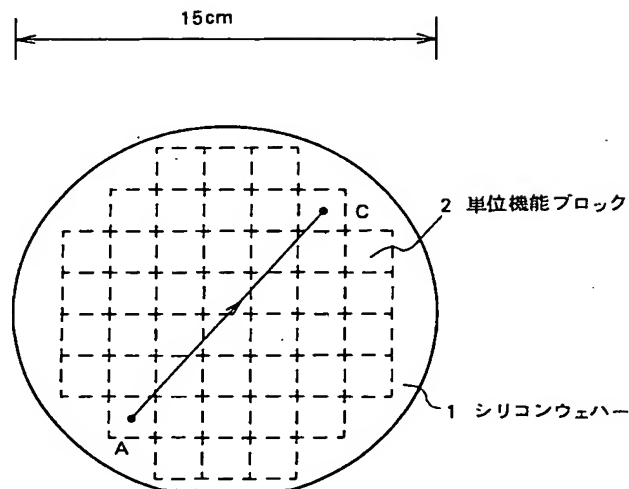
である。

代理人 弁理士 内原 晋

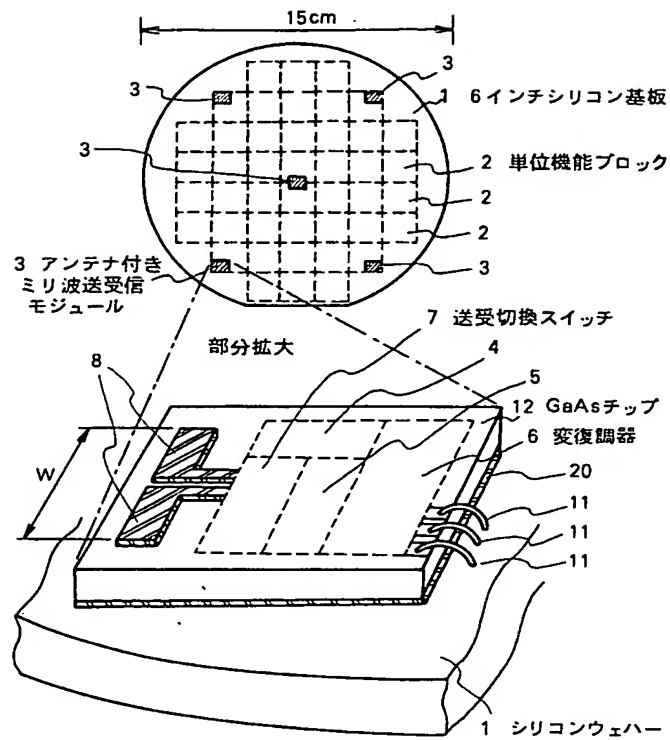
(7)

(8)

第 1 図



第 2 図



第 3 図

